

Jörg Rehrmann

Digitales Echo-, Hall- und Chorusgerät

Mit dieser Bauanleitung stellen wir den zweiten Preis des FUNKSCHAU-Preises 1981 der Zweiten Abteilung (Die nachbausichere Schaltung) vor. Durch das vorhandene Platinen-Layout ist die Nachbausicherheit gewährleistet; da der Aufbau des Digitalteils sehr gedrängt ist, erfordert der Nachbau jedoch Erfahrung und Sorgfalt beim Löteten. Das gut durchdachte Gerät mit vielseitigen Klangeffekten genügt auch Musikfans mit hohen Ansprüchen.

Echo- und Hallgeräte sind bereits in den verschiedensten Ausführungen auf dem Markt. Meistens bilden eine Hallspirale oder ein Endlos-Magnetband das Herzstück dieser Geräte. Diese Teile haben jedoch den Nachteil, daß sie mechanisch empfindlich oder wartungsbedürftig sind. Neuerdings gewinnen jedoch elektronische Echo- bzw. Hallgeräte zunehmend an Bedeutung. Diese Geräte sind nicht nur völlig wartungsfrei und stoßunempfindlich, sondern sie haben auch den Vorteil, daß man sie selbst bauen kann.

Letzteres hat den Vorteil, daß auch bei längeren Verzögerungsleitungen keine zusätzlichen Signalverluste entstehen. Aus diesem Grund wurde bei dem hier beschriebenen Gerät das digitale Verfahren angewandt.

Verzögerungsleitung mit Anzapfungen

Bild 1 zeigt das Blockschaltbild des Gerätes. Das Eingangssignal wird zu-

nächst verstärkt und auf einen A/D-Wandler gegeben. Das Digitalsignal durchläuft dann eine Verzögerungsleitung mit einer Gesamtspeicherkapazität von 56 KBit. Die Verzögerungsleitung wird an drei Stellen angezapft. Drei D/A-Wandler wandeln die digitalen Informationen wieder in das ursprüngliche Signal zurück.

Die drei Signalausgänge lassen sich dann, je nach Bedarf, über die Schalter S2, S3 und S4 mischen. Durch diese Maßnahme hört sich der Nachhall natürlicher an. Das Mischsignal gelangt dann über einen Tiefpaß auf die Potentiometer P2 und P3. P2 regelt die Stärke der Rückkopplung und damit die Abklingzeit des Nachhalls. Mit P3 kann man das Lautstärkeverhältnis zwischen Originalsignal und verzögertem Signal einstellen. S1 ermöglicht eine digitale und damit verlustfreie Rückkopplung des Digitalsignals. Auf diese Weise läßt sich ein Nf-Signal beliebig lange speichern.

Die Laufzeit der Verzögerungsleitung wird durch eine Taktfrequenz bestimmt. Die Höhe der Taktfrequenz und damit die Laufzeit läßt sich mit P4 variieren. Bei einer niedrigen Taktfrequenz arbeitet das Gerät als Echogerät, während es bei einer höheren Taktfrequenz als Hallgerät geeignet ist.

Mit S5 kann man einen sehr niederfrequenten Sinusoszillator einschalten, der eine schwache Frequenzmodulation des verzögerten Nf-Signals bewirkt. Wenn man P2 auf minimale Rückkopplung zurückdreht, wird lediglich das Originalsignal mit dem ver-

Signalverzögerung: analog oder digital?

Zur Erzeugung eines Echos bzw. eines Halles benötigt man eine Verzögerungsleitung, in der das Nf-Signal verzögert und anschließend auf den Eingang der Verzögerungsleitung rückgekoppelt wird. Es gibt nun prinzipiell zwei Verfahren, ein Nf-Signal elektronisch zu verzögern:

1. die direkte Verzögerung des Analogsignals, z. B. durch Eimerkettenspeicher,
2. die digitale Verzögerung des von einem Analog/Digital-Wandler digitalisierten Analogsignals und die anschließende Rückgewinnung des Analogsignals aus dem Digitalsignal mit Hilfe eines Digital/Analog-Wandlers.

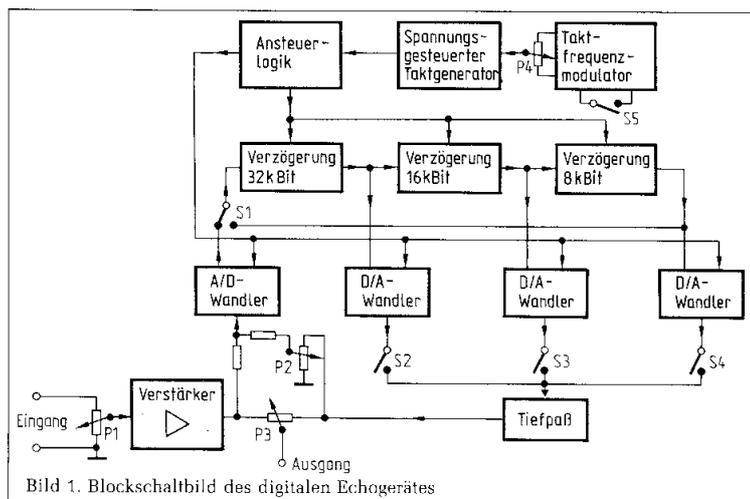


Bild 1. Blockschaltbild des digitalen Echogerätes

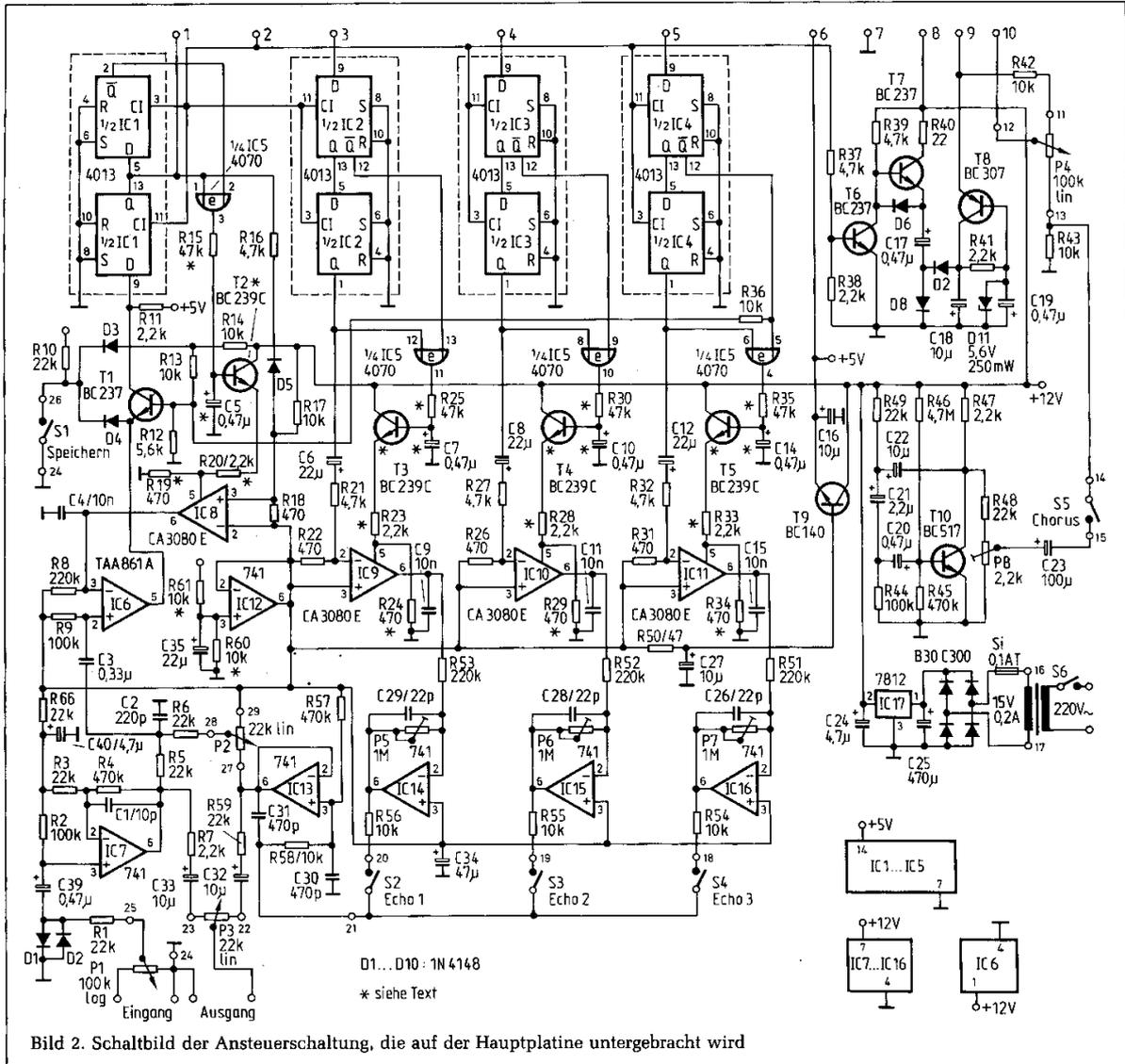


Bild 2. Schaltbild der Ansteuerschaltung, die auf der Hauptplatine untergebracht wird

zögerten überlagert. Dadurch entsteht der sogenannte Chorus-Effekt.

Signalverzögerung mit RAMs

Bild 2 und Bild 3 zeigen den Schaltplan des Gerätes, wobei Bild 3 nur den Digitalspeicher und dessen Ansteuerschaltung zeigt. Hier eine Übersicht über die Wirkungsweise:

Das vom A/D-Wandler erzeugte Digitalsignal wird auf einen D/A-Wandler gegeben. Ein Komparator vergleicht das so entstandene Analogsignal mit dem Originalsignal und leitet daraus

ein geeignetes Digitalsignal ab. Die D/A-Wandler bestehen im wesentlichen aus einem spannungsgesteuerten OTA-Integrator, dessen aus dem Digitalsignal gewonnene Steuerspannung von der Hüllkurve des Nf-Signals abhängt.

Die eleganteste Art, ein digitales Signal zu verzögern, besteht in der Verwendung von Schieberegistern. Ein statisches 1-KBit-Schieberegister ist jedoch fast genau so teuer wie ein dynamisches 16-KBit-RAM. Letzteres bietet sich daher als Verzögerungsleitung an. Selbstverständlich ist für diese spezielle Verwendung eines RAMs zusätzli-

cher Aufwand nötig, da eine Ansteuerung nach folgendem Schema erfolgen muß:

1. Adressierung des RAM-Speichers über Adreßzähler (2-Phasen-Adressierung);
2. Auslesen der gespeicherten Information und Weitergabe an D/A-Wandler bzw. nächsten Speicher;
3. Einschreiben der Information des A/D-Wandlers bzw. des vorhergehenden Speichers in dieselbe Speicherzelle;
4. Zählimpuls setzt Adreßzähler um eine Adresse vor;
5. wie 1. usw.

Eine Auffrischung des Speicherinhaltes des 16-KBit-RAMs geschieht in diesem Fall automatisch, sofern eine Taktfrequenz von 64 kHz nicht unterschritten wird. Aus dem Schema wird ersichtlich, daß eine auf diese Weise in den Speicher eingeschriebene Information erst nach über 16 000 Taktimpulsen wieder aus dem Speicher ausgelesen wird. Aus der minimalen Taktfrequenz von 64 kHz ergibt sich dann eine maximale Verzögerungszeit von etwa 0,25 s pro 16-KBit-RAM.

Aus Bild 3 ist ersichtlich, daß die Verzögerungsstrecke aus vier dynamischen 16-KBit-RAMs vom Typ MP 4116 besteht. Durch eine besondere Ansteuerung wirkt IC 21 nur als 8-KBit-Speicher. Diese Maßnahme ist nötig, um einen zu regelmäßigen Abstand der Anzapfungen der Verzögerungsleitungen zu verhindern.

Die Ansteuerlogik der RAMs ist recht einfach: zwei Binärzähler-ICs erzeugen die Speicheradressen, zwei Multiplexer-ICs ermöglichen die 2-Phasen-Adressierung und sechs CMOS-Inverter erzeugen die Taktfrequenz und alle für die zeitliche Ablaufsteuerung benötigten Steuerimpulse.

Die Verzögerungszeiten der Inverter spielen dabei eine wesentliche Rolle.

Alle Versorgungsspannungen aus einer Trafowicklung

Die Stromversorgung übernimmt ein stabilisiertes 12-V-Netzteil. Da die Operationsverstärker symmetrisch gespeist werden müssen, erzeugt IC 12 eine Mittenspannung von +6 V, die die Masse der Operationsverstärker darstellt. Aus den +6 V erzeugt T9 die +5 V Versorgungsspannung für die Logik-ICs. Schließlich bilden T6, T7 und T8 einen DC-Wandler, der die Speisespannung der RAMs von -5 V erzeugt.

Aufbau auf zwei Platinen

Das Gerät besteht aus zwei Platinen, die über die Anschlußpunkte 1...10 verbunden sind. Die Speicherplatine ist auch ohne die Hauptplatine bei entsprechender Spannungsversorgung voll funktionsfähig; sie kann auch für andere Zwecke verwandt werden.

Jörg Rehrmann, Jahrgang 1961, Abitur im Juni 1981 an der Albert-Schweitzer-Schule in Kassel. Zur Zeit Wehrpflichtiger bei der Bundeswehr. Will nach dem Wehrdienst aufgrund seines Hauptinteressengebietes Elektrotechnik studieren.



Jörg Rehrmann hat bereits bei dem FUNKSCHAUPreis 1977 mit einer Bauanleitung für einen Gittermuster-Generator einen Preis erhalten.

Der Aufbau des Gerätes sollte mit großer Sorgfalt vorgenommen werden. Eine nachträgliche Fehlersuche kann für den weniger Geübten ein aussichtsloses Unternehmen bedeuten. Folgende Hinweise können Fehler beim Aufbau vermeiden helfen:

- auf saubere Lötstellen achten,
- möglichst nur Bauelemente der 1. Wahl verwenden (Teile vor dem Einbau testen!),
- vor allem bei den mit einem * versehenen Bauteilen die angegebenen

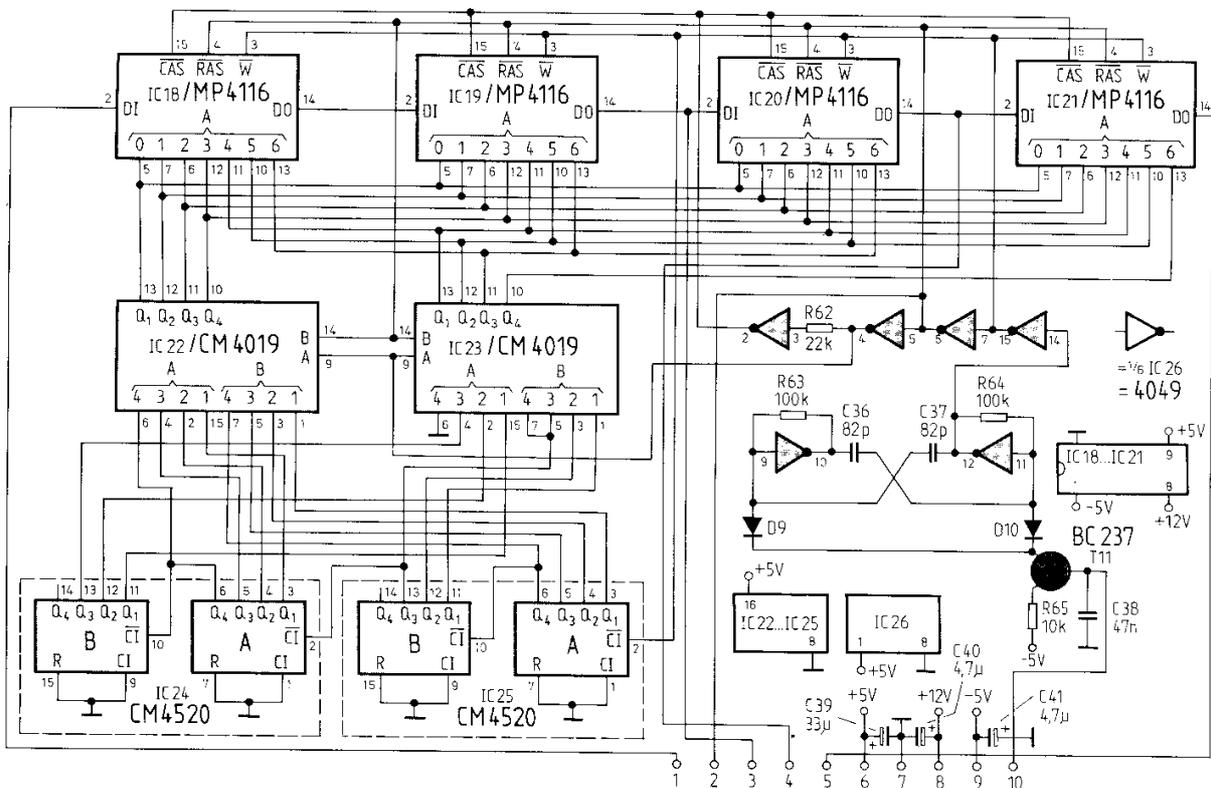


Bild 3. Schaltbild des Digitalspeichers. Er findet auf einer kleinen Zusatzplatine Platz

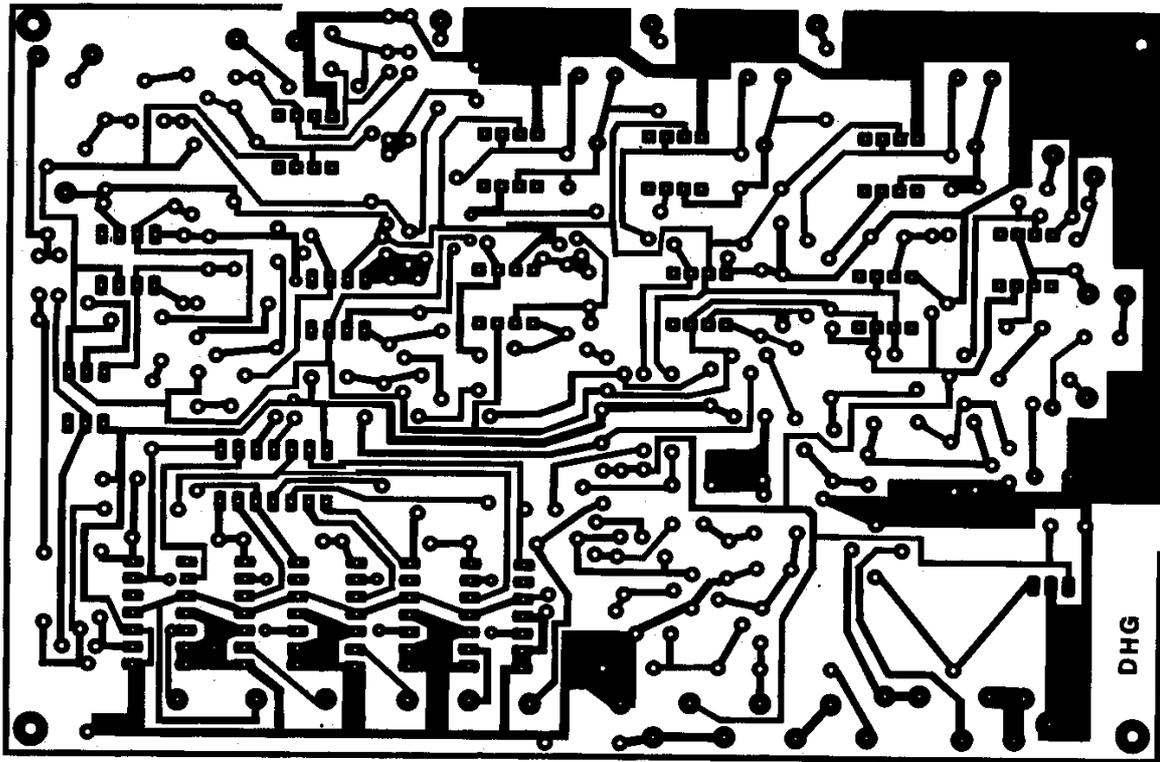


Bild 4. Layout der Hauptplatine; bei der Bestückung ist darauf zu achten, daß die Brücken unter den ICs IC1...IC4 eingelötet werden

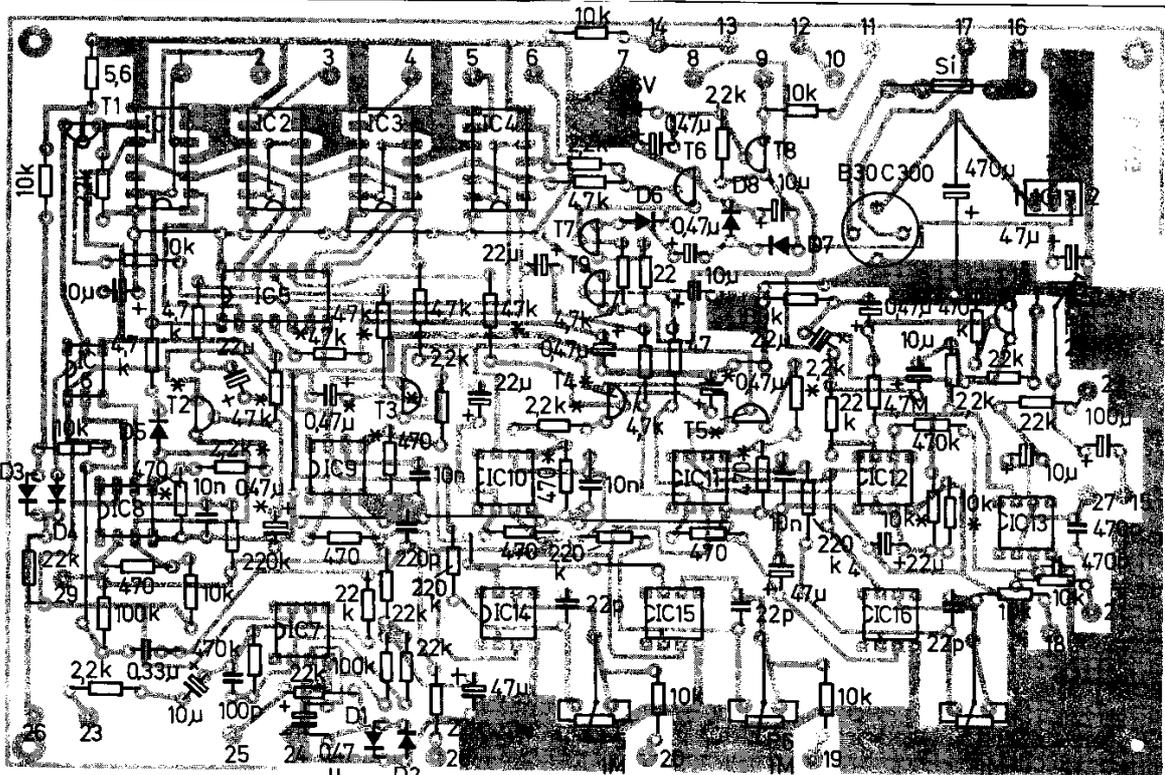


Bild 5. Bestückungsplan der Hauptplatine. Der gedrängte Aufbau erfordert besondere Sorgfalt beim Löt

Werte genau einhalten (Stückliste beachten),

- die besonderen Vorsichtsmaßnahmen beim Umgang mit CMOS-ICs beachten,
- die Dioden nicht durch stärkere Ersatztypen, z. B. 1N4001 ersetzen,
- Drahtbrücken, vor allem die unter den ICs IC1...IC4, nicht vergessen.

Da die Platine räumlich etwas gedrängt aufgebaut wird, ist die Verwendung von Miniaturbauteilen zu empfehlen. Die Verbindungsleitungen zwischen der Speicherplatine und der Hauptplatine sollten nicht länger als unbedingt nötig sein.

Da die beiden Platinen nicht sehr groß sind, läßt sich das Gerät im Vergleich zu handelsüblichen Geräten sehr klein aufbauen. Man sollte der besseren Abschirmung wegen ein kleines Stahlblechgehäuse verwenden. Die Bauteilekosten (ohne Netztrafo, Platine und Gehäuse) liegen etwa bei 150 DM.

Inbetriebnahme und Abgleich

Der Abgleich kann beginnen, wenn das Gerät betriebsbereit und an den Eingang eines Verstärkers angeschlossen ist. P3 und P4 sollten etwa in Mittelstellung stehen, P2 muß auf maximale Rückkopplung eingestellt werden (rechter oder linker Anschlag). Danach schaltet man nur S2 ein und dreht P5 so, daß die Rückkopplung gerade selbständig eintritt. Entsprechend verfährt man bei S3 und P6 bzw. S4 und P7. Mit P8 kann man die Modulationstiefe der Taktfrequenz nach Belieben einstellen.

Hörproben mit dem Mustergerät haben ergeben, daß sich dieses Echogerät durchaus mit industriell gefertigten

Geräten messen lassen kann. Tonqualität und Rauschpegel hängen bei diesem Gerät von der Taktfrequenz und dem Eingangssignalpegel ab. Die maximale Verzögerungszeit beträgt etwa 1 Sekunde.

Stichworte zum Inhalt

Klangeffekt, Verzögerungsleitung, Nachhall, Adreßzähler, Rückkopplung, Verzögerungszeit.

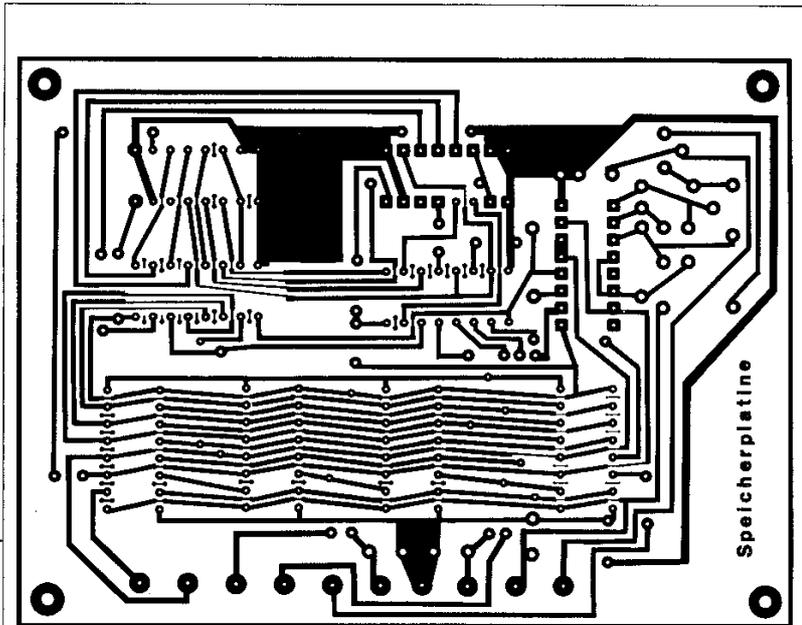


Bild 6. Layout der Speicherplatine

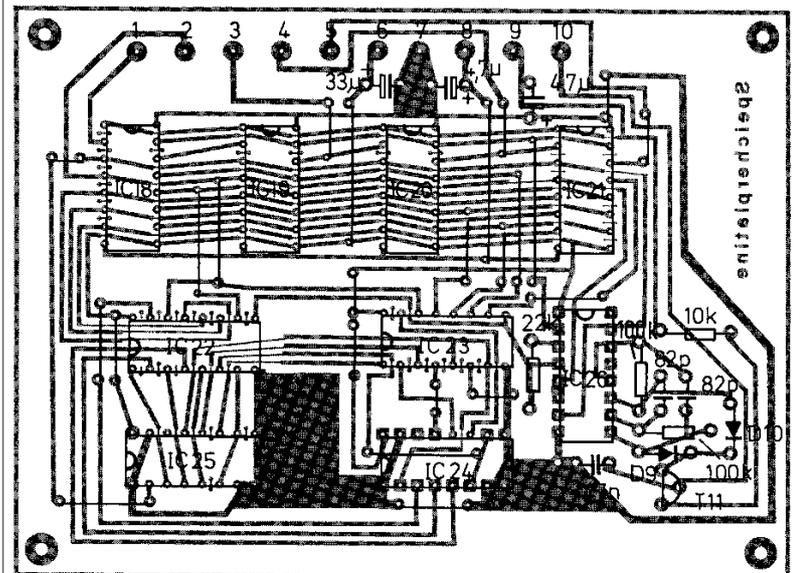


Bild 7. Bestückungsplan der Speicherplatine. Die Punkte 1...10 werden mit der Hauptplatine verbunden

Stückliste für die verwendeten Halbleiter

IC 1...IC 4	4013
IC 5	4070 oder 4030
IC 6	TAA 861 A
IC 7, IC 12...IC 16	741 (DIP)
IC 8...IC 11	CA 3080 E
IC 17	7812
IC 18...IC 21	MP4116 oder MP4716AP
IC 22, IC 23	4019
IC 24, IC 25	4520
IC 26	4049
T 1, T 6, T 7, T 11	BC 237
T 2...T 5	BC 239C oder BC 109C
T 8	BC 307
T 9	BC 140
T 10	BC 517
D 1...D 10	1N4148
D 11 (Z-Diode)	5,6 V/250 mW
Gleichrichter	B30C300